

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-090406

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

G02F 1/136

(21)Application number : 07-249835

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.09.1995

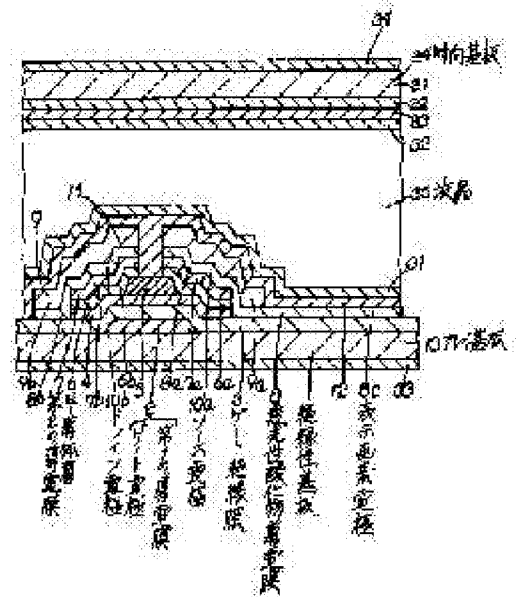
(72)Inventor : JINNAI NORIHIDE
SHIBUSAWA MAKOTO
HONJO MASUSHI
MIURA YASUNORI
KATSUKADO RAMESHIYU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device lowered in source resistance and drain resistance without increasing photolithography stages.

SOLUTION: Gate electrodes 2, gate insulating films 3, semiconductor layers 4 and semiconductor protective layers 5 are formed on a glass substrate 1. An n⁺ Type low resistance semiconductor layers 6a, 6b consisting of amorphous silicon heavily doped with phosphorus are formed on both sides of the semiconductor protective layers 5. Molybdenum layers 7, ITO layers 8 and molybdenum layers 9 are laminated and formed. Display pixel electrodes 8c connected to the source electrodes 10a of the ITO layers 8 are formed and drain electrodes 10b are formed. A protective film 12 is formed on the surface, by which a matrix array substrate 13 is formed. The matrix array substrate 13 and a counter substrate 24 are stuck and liquid crystals 35 are sealed and held therebetween. Even if oxidized films are formed on the molybdenum layers 9 at the time of forming the ITO layers 8 on the molybdenum layers 9, the molybdenum layers have electrical conductivity and, therefore, the characteristics of the TRs do not degrade.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-90406

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl.⁶

G 0 2 F 1/136

識別記号

5 0 0

庁内整理番号

F I

G 0 2 F 1/136

技術表示箇所

5 0 0

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21)出願番号

特願平7-249835

(22)出願日

平成7年(1995)9月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 神内 紀秀

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72)発明者 渋谷 誠

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72)発明者 本城 益司

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(74)代理人 弁理士 樺澤 襄 (外2名)

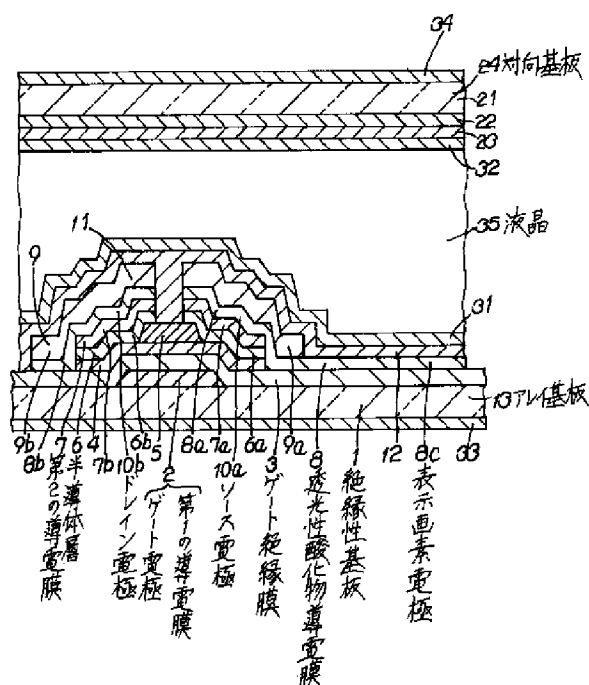
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 フォトリソグラフィ工程を増やすことなく、ソース抵抗およびドレイン抵抗を低くした液晶表示装置を提供する。

【解決手段】 ガラス基板1上に、ゲート電極2、ゲート絶縁膜3、半導体層4および半導体保護層5を形成する。半導体保護層5の両側に、りんを多量にドーピングしたアモルファスシリコンのn⁺型低抵抗半導体層6a、6bを形成し、モリブデン層7、ITO層8およびモリブデン層9を積層形成する。ITO層8のソース電極10aと連続して表示画素電極8cを形成するとともに、ドレイン電極10bを形成する。表面に保護膜12を形成し、マトリクスアレイ基板13を形成する。マトリクスアレイ基板13および対向基板24を貼着して、液晶35を封入挟持する。モリブデン層9上にITO層8を形成する際に、モリブデン層9上に酸化膜が形成されても導電性を有しているため、トランジスタの特性は低下しない。



【特許請求の範囲】

【請求項1】 絶縁性基板上に形成される第1の導電膜のゲート電極、このゲート電極を被覆するゲート絶縁膜、このゲート絶縁膜の上に形成された半導体層と、少なくとも一部が酸化されても導電性を有し前記半導体層上方に形成された第2の導電膜、この第2の導電膜に接続され透光性酸化物導電膜を含むドレイン電極および表示画素電極と一体に形成されるソース電極とを備えた薄膜トランジスタを有するアレイ基板と、このアレイ基板に対向して設けられる対向基板と、前記アレイ基板および対向基板間に配設される液晶とを具備したことを特徴とする液晶表示装置。

【請求項2】 第2の導電膜は、中心に金属、表面に酸化物を有し、この酸化物の抵抗のチャネル抵抗に対する比率は2%以下であることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 第2の導電膜は、酸化されても導電性を有することを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】 第2の導電膜は、導電性を有する材料およびこの材料の酸化物の積層膜であることを特徴とする請求項1ないし3いずれか記載の液晶表示装置。

【請求項5】 第2の導電膜は、モリブデン、スズおよび亜鉛の少なくとも1つで構成されることを特徴とする請求項1ないし4いずれか記載の液晶表示装置。

【請求項6】 第2の導電膜は、モリブデン、スズおよび亜鉛の少なくとも1つを主成分とすることを特徴とする請求項1ないし5いずれか記載の液晶表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、ソース抵抗およびドレイン抵抗を低減させた液晶表示装置に関する。

【0002】

【従来の技術】 従来の液晶表示装置としては、たとえば特開平6-43487号公報に記載の構成が知られている。この特開平6-43487号公報に記載の構成は、絶縁性基板上に第1の導電膜のゲート電極が形成され、このゲート電極を覆うようにゲート絶縁膜が形成され、このゲート絶縁膜上には低抵抗半導体層が形成され、この低抵抗半導体層上にはチタン(Ti)層およびITO(Indium Tin Oxide)の透光性酸化物導電膜を介して金属膜が形成されてソース電極およびドレイン電極を形成している。

【0003】

【発明が解決しようとする課題】 しかしながら、低抵抗半導体層および透光性酸化物導電膜の間にチタン層が介在しているため、チタン層上にスパッタリング法により透光性酸化物導電膜を成膜する場合、スパッタガスには不活性ガスと酸素(O₂)の混合ガスを用いるので、チ

タン層は酸化される。また、チタンの酸化物は絶縁体であるため、チタン層でソースおよびドレイン抵抗の上昇を招き、薄膜トランジスタの特性は劣化してしまう。

【0004】 そして、透光性酸化物導電膜であるITOの成膜の際のチタン層の酸化は、成膜時のO₂の導入量が多いほど顕著であり、成膜温度が高いほど顕著である。このため、チタン層の酸化を抑えるには、透光性酸化物導電膜であるITOの成膜時のO₂の導入量を少なくするか、成膜温度を低くする必要がある。

【0005】 ところが、O₂の導入量を少なくすると、透光性酸化物導電膜であるITOのO原子の欠乏により光の透過率が低下し、ターゲット中のO₂濃度も低下するので、ターゲットの寿命は短くなってしまう。さらに、透光性酸化物導電膜であるITOの成膜を低温で行なうと膜質が低下し、たとえば室温で成膜した場合と200℃で成膜した場合とで比較すると、室温成膜の方が抵抗値が5倍程度高く、エッチングにおいてはエッチング速度が速くなり均一性も悪くなる問題を有している。

【0006】 本発明は、上記問題点を鑑みなされたもので、フォトリソグラフィ工程を増やすことなく、ソース抵抗およびドレイン抵抗を低くした液晶表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、絶縁性基板上に形成される第1の導電膜のゲート電極、このゲート電極を被覆するゲート絶縁膜、このゲート絶縁膜の上に形成された半導体層と、少なくとも一部が酸化されても導電性を有し前記半導体層上方に形成された第2の導電膜、この第2の導電膜に接続され透光性酸化物導電膜を含むドレイン電極および表示画素電極と一体に形成されるソース電極とを備えた薄膜トランジスタを有するアレイ基板と、このアレイ基板に対向して設けられる対向基板と、前記アレイ基板および対向基板間に配設される液晶とを具備したもので、半導体層および透光性酸化物導電膜の間に介在する第2の導電膜は、酸化されても導電性を有する材料により形成されるため、透光性酸化物導電膜の成膜時に第2の導電膜が酸化されても半導体層および透光性酸化物導電膜の間の第2の導電膜に絶縁層が形成されることがなくなり、ソース抵抗およびドレイン抵抗が低下する。

【0008】

【発明の実施の形態】 以下、本発明の液晶表示装置の一実施の形態を図面を参照して説明する。

【0009】 図1に示すように、絶縁性基板としてのガラス基板1の一主面上に、モリブデン・タンタル(Mo-Ta)の第1の導電膜であるゲート電極2が形成され、このゲート電極2は図示しないゲート配線と一体的に形成され、このゲート配線には外部回路との接続用にゲート線引き出し部が形成されている。

【0010】 また、ゲート電極2を覆うようにガラス基

板1上には、アモルファス酸化シリコンのゲート絶縁膜3が形成され、ゲート電極2の近傍のゲート絶縁膜3の上部にはアモルファスシリコンなどの半導体層4が形成されている。さらに、ゲート電極2の上方の半導体層4上には、アモルファス窒化シリコンの半導体保護層5が形成されている。

【0011】そして、半導体層4の半導体保護層5の両側には、りん(P)原子などを多量にドーピングしたアモルファスシリコンなどからなる n^+ 型低抵抗半導体層6、第2の導電膜としてのモリブデン(Mo)のモリブデン層7、透光性酸化物導電膜としてのITO(Indium Tin Oxide)のITO層8、および、第3の導電膜としてのモリブデン層9が積層形成されている。また、 n^+ 型低抵抗半導体層6aでソースコンタクト領域が形成され、 n^+ 型低抵抗半導体層6bでドレインコンタクト領域が形成され、半導体保護層5の一端側のモリブデン層7a、ITO層8aおよびモリブデン層9aにて、ソース電極10aが形成され、半導体保護層5の他端側のモリブデン層7b、ITO層8bおよびモリブデン層9bにて、ドレイン電極10bが形成され、マトリクス状に薄膜トランジスタ11が形成されている。なお、ドレイン電極10bには図示しない信号線が一体に形成されている。

【0012】また、ITO層8のソース電極10aと連続して表示画素電極8cが形成され、この表示画素電極8cは薄膜トランジスタ11に対応してマトリクス状に配設されている。

【0013】さらに、これら表面に窒化シリコンなどの保護膜12が形成され、マトリクスアレイ基板13が形成されている。

【0014】一方、絶縁性基板としてのガラス基板21上に図示しないブラックマトリクスが形成されたカラーフィルタ22およびITOの対向電極23が積層形成され、対向基板24が形成されている。

【0015】そして、マトリクスアレイ基板13および対向基板24の対向する面にはそれぞれポリイミド膜31、32が設けられ、反対面には偏光板33、34が貼着されている。

【0016】さらに、マトリクスアレイ基板13および対向基板24は貼着されて、これらマトリクスアレイ基板13および対向基板24間には、液晶35が封入挟持されている。

【0017】次に、上記実施の形態の製造工程について説明する。

【0018】まず、図2に示すように、ガラス基板1の一主面上に厚さ1000～3000オングストロームのモリブデン・タンタルの第1の導電膜を成膜し、フォトリソグラフィ工程によりゲート電極2および図示しないゲート配線を形成する。次に、これらゲート電極2およびゲート配線を被覆するように、プラズマCVD法などにより厚さ2000～4000オングストロームのアモ

ルファス酸化シリコンのゲート絶縁膜3、厚さ200～3000オングストロームのアモルファスシリコンの半導体層4、厚さ1000～3000オングストロームのアモルファス窒化シリコンの半導体保護膜5を順次成膜する。そして、ゲート電極2の上方でチャンネルとなる半導体層4上以外の半導体保護層5をフォトリソグラフィ工程により除去する。さらに、厚さ200～700オングストロームのP原子などを多量にドーピングしたアモルファスシリコンの n^+ 型低抵抗半導体層6を成膜する。

【0019】また、図3に示すように、 n^+ 型低抵抗半導体層6上に、スパッタリング法により膜厚100～1000オングストロームのモリブデン層7を成膜する。

【0020】さらに、図4に示すように、薄膜トランジスタ11の形成領域のモリブデン層7から半導体層4までをフォトリソグラフィ工程により島状に形成し、外部回路と接続用のゲート線引き出し部も形成する。

【0021】また、図5に示すように、スパッタリング法により厚さ300～1500オングストロームのITO層8を成膜する。ここで、スパッタガスにはアルゴン(Ar)と酸素(O_2)の混合ガスを用いているのでモリブデン層7はその表面であるITO層8と接触している部分から酸化されるが、モリブデンの酸化物は導電性を有するため、ITO層8との間での接触抵抗が低く、良好なオーム性接触を形成する。すなわち、モリブデン層7のモリブデン(Mo)と n^+ 型低抵抗半導体層6の $n^+ - a - Si$ との接触特性が良好なオーム性を示し、トランジスタ特性に対して影響を与えない。次に、ITO層8上に厚さ2000～4000オングストロームのモリブデン層9を成膜する。

【0022】さらに、図6に示すように、フォトリソグラフィ工程によりITO層8a、8bおよびモリブデン層9a、9bを形成し、これらITO層8a、8bおよびモリブデン層9a、9bをマスクとしてモリブデン層7a、7bをエッチングし、ソース電極10a、ドレイン電極10bおよび表示画素電極8cを形成し、さらにエッチングにより n^+ 型低抵抗半導体層6a、6bを分離形成する。

【0023】また、図7に示すように、表示画素電極8c上のモリブデン層7をフォトリソグラフィ工程により除去する。なお、表示画素電極8c上のモリブデン層7の除去は、図1に示す保護膜12を形成した後、この保護膜12をマスクとして除去してもよい。

【0024】そして、図1に示すように、保護膜12を形成してマトリクスアレイ基板13が完成する。このマトリクスアレイ基板13および対向基板24の対向面にポリイミド膜31、32を形成し、反対面に偏光板33、34を形成し、マトリクスアレイ基板13および対向基板24を貼着し、これらマトリクスアレイ基板13および対向基板24間に液晶35を封入挟持して液晶表示基板が完成する。

【0025】上記実施の形態によれば、モリブデン層7

a, 7bのモリブデンのみならず、このモリブデンの酸化物(MoO_x)も導電性を有するので、ITO層8a, 8bをモリブデン層7a, 7b上に形成する際にモリブデンが酸化されて酸化膜が形成されても、ソース抵抗およびドレイン抵抗が上昇せず、トランジスタの特性の低下を防止でき、特に酸化膜の膜厚方向の抵抗値が $20\text{ k}\Omega$ 以下であれば特性に悪影響を与えない。また、このように酸化膜が形成されても従来と比較してフォトリソグラフィ工程を増やすことなく、透光性酸化物導電膜であるITO層8の成膜条件の変更も必要ない。

【0026】ここで、 n^+ 型低抵抗半導体層6a, 6bおよびITO層8a, 8b間に位置するモリブデン層7a, 7bなどの第2の導電膜が酸化された場合の薄膜トランジスタの特性の低下について、図8を参照して説明する。なお、 R_x は、第2の導電膜の酸化物の抵抗のチャネル抵抗に対する比率を表している。そして、薄膜トランジスタの特性の低下について移動度の低下に基づき判断すると、 R_x が2%、10%および30%の場合、移動度はそれぞれ4%、12%および25%になる。

【0027】また、シミュレーションの結果、移動度が5%以上低下した場合、開口率や駆動電圧に対する影響が大きくなり、デバイス設計上好ましくなく、したがって、 R_x を2%程度に抑える必要がある。

【0028】たとえば、 n^+ 型低抵抗半導体層6a, 6bの薄膜トランジスタ11のチャネル抵抗は、 n^+ 型低抵抗半導体層6a, 6bそのものの移動度あるいは薄膜トランジスタ11のサイズによるが、一般的には $1\text{ M}\Omega$ 程度であるため、第2の導電膜であるモリブデン層7a, 7bの酸化膜となる酸化モリブデン(MoO_x)の膜厚方向の抵抗値を $20\text{ k}\Omega$ 以下にしなければならない。すなわち、化成スパッタ法で形成される酸化モリブデンの抵抗率は $1 \times 10^{-4} \sim 2 \times 10^{-3} \Omega \text{ cm}$ であり、酸化膜の厚さが 1000 オングストローム、ソースコンタクト領域およびドレインコンタクト領域となる n^+ 型低抵抗半導体層6a, 6bとの接触面積が $5\text{ }\mu\text{m}^2$ の場合でも、酸化膜の抵抗値は $0.01\text{ }\Omega$ と十分に低い抵抗値になる。したがって、従来のように第2の導電膜にチタン(Ti)を用い、酸化膜として酸化チタンが形成された場合、抵抗率は $10^8 \Omega \text{ cm}$ もあり、膜厚が 10 オングストローム、接触面積が $50\text{ }\mu\text{m}^2$ の場合、抵抗値は $400\text{ k}\Omega$ になり、薄膜トランジスタ11の特性が大きく低下するのに比べて、モリブデンを用いた場合の方が特性の低下を小さくできる。

【0029】なお、第2の導電膜はモリブデンのみに限らず、スズ、亜鉛、これらモリブデン、スズあるいは亜鉛を主成分とする導電膜、モリブデンおよびモリブデンの酸化膜の積層膜、スズおよびスズの酸化膜の積層膜、または、亜鉛および亜鉛の酸化膜の積層膜でも同様の効果を得ることができる。

【0030】また、酸化膜の形成は、スパッタリングで

成膜する方法や、膜厚方向に一部酸化する方法などで行えば良く、積層膜とした場合も単層の場合と同様にエッチングが可能なので、エッチング工程が複雑になることはない。

【0031】さらに、ゲート絶縁膜3としては、アモルファス酸化シリコンに限らずアモルファス窒化シリコンを用いても、同様の効果を得ることができる。

【0032】また、第3の導電膜としてのモリブデン層に代えて、アルミニウム(Al)を用いても同様の効果を得ることができる。

【0033】

【発明の効果】本発明によれば、半導体層および透光性酸化物導電膜の間に介在する第2の導電膜は、酸化されても導電性を有する材料により形成されるため、透光性酸化物導電膜の成膜時に第2の導電膜が酸化されても半導体層および透光性酸化物導電膜の間の第2の導電膜に絶縁層が形成されることがなくなり、ソース抵抗およびドレイン抵抗が低下し、トランジスタの特性の低下を防止できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の一実施の形態を示す断面図である。

【図2】同上液晶表示装置の一製造工程を示す断面図である。

【図3】同上液晶表示装置の図2の次の製造工程を示す断面図である。

【図4】同上液晶表示装置の図3の次の製造工程を示す断面図である。

【図5】同上液晶表示装置の図4の次の製造工程を示す断面図である。

【図6】同上液晶表示装置の図5の次の製造工程を示す断面図である。

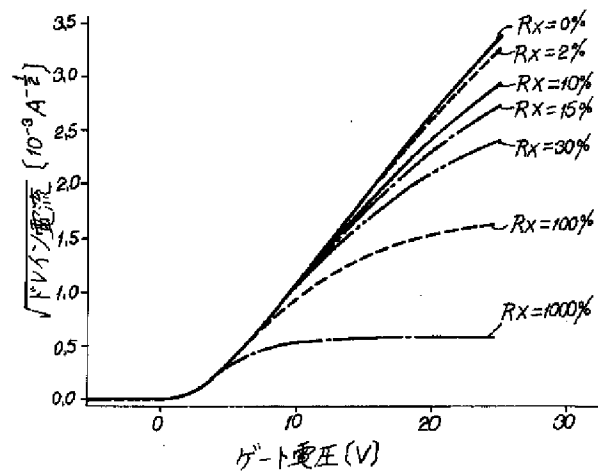
【図7】同上液晶表示装置の図6の次の製造工程を示す断面図である。

【図8】第2の導電膜の酸化物の抵抗のチャネル抵抗に対する比率毎のドレイン電流およびゲート電圧の関係を示すグラフである。

【符号の説明】

- 1 絶縁性基板としてのガラス基板
- 2 第1の導電膜としてのゲート電極
- 3 ゲート絶縁膜
- 6 n^+ 型低抵抗半導体層
- 7 第2の導電膜としてのモリブデン層
- 8 透光性酸化物導電膜としてのITO層
- 8c 表示画素電極
- 10a ソース電極
- 10b ドレイン電極
- 13 マトリクスアレイ基板
- 24 対向基板
- 35 液晶

【図8】



フロントページの続き

(72)発明者 三浦 靖憲
神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72)発明者 カツカド ラメシュ
神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内